



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06097591 A**(43) Date of publication of application: **08.04.94**

(51) Int. Cl.

H01S 3/18(21) Application number: **04271006**(71) Applicant: **NEC CORP**(22) Date of filing: **14.09.92**(72) Inventor: **KITAMURA MITSUHIRO**(54) **MANUFACTURE OF SEMICONDUCTOR LASER**

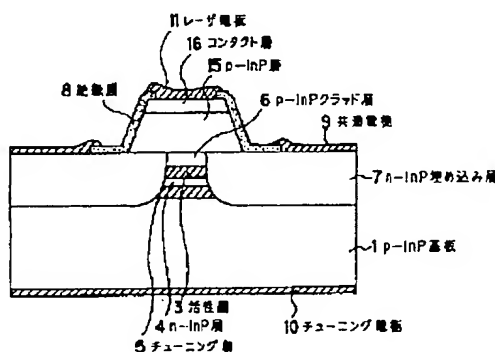
p-type InGaAsP contact layer 16 are selectively grown.

(57) Abstract:

COPYRIGHT: (C)1994,JPO&Japio

PURPOSE: To contrive the improvement of the reproducibility of manufacture of an element and the improvement of the gain of element characteristics by a method wherein the height of a mesa is made low to grow a buried layer and thereafter, a clad layer and the like are selectively grown.

CONSTITUTION: A diffraction grating is formed on a p-type InP substrate 1 and a p-type InGaAsP tuning layer 5, an n-type InP layer 4, an MQW active layer 3 and a p-type InP clad layer 6 are laminated in order thereon. A mask is patterned on the surface of a growth layer and a mesa stripe is formed by etching. An n-type InP buried layer 7 is grown on a region other than the mesa using a mask used for the etching. In the case where such a buried growth is performed, if the height of the mesa exceeds $1\mu\text{m}$, an abnormal growth on the end parts of the mask becomes liable to be generated. In such a way, the height of the mesa stripe is grown in $1\mu\text{m}$ or shorter in a mesa stripe formation process. Subsequently, after the mask is removed, a p-type InP clad layer 15 and a



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-97591

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 S 3/18

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-271006

(22)出願日 平成4年(1992)9月14日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 北村 光弘

東京都港区芝五丁目7番1号 日本電気株式会社内

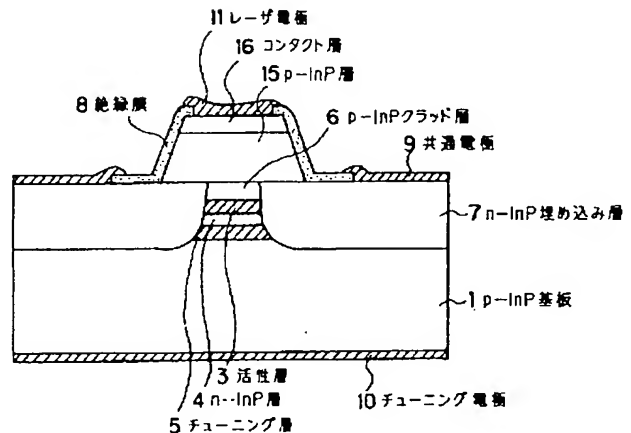
(74)代理人 弁理士 本庄 伸介

(54)【発明の名称】 半導体レーザの製造方法

(57)【要約】

【目的】 製造歩留まりに優れた波長可変レーザの製造方法を提供する。

【構成】 TTG-LDの製造方法において、メサストライプの高さを1 μ m以下として埋め込み成長時の異常成長をなくし、さらにクラッド層などを選択的に成長することにより電極の形成を容易にした。また選択成長によりメサストライプを形成した後、全面に絶縁膜を形成し、さらに全面にミリングなどの加工を加えることによりメサ上面にマスクを残し、同時に底面部、メサ側面の絶縁膜を除去できる。それらによって素子構造の再現性、特性歩留まりが大幅に向上する。



【特許請求の範囲】

【請求項1】 第1導電型半導体層上に発光再結合する活性層およびチューニング層を少なくとも含む半導体積層構造を形成する工程と、エッチングなどの手段により該半導体積層構造にメサストライプを形成する工程と、前記メサストライプ上面を除いて第2導電型半導体層を形成する工程とを含む半導体レーザの製造方法において、前記メサストライプ形成工程では前記メサストライプの高さを $1\mu\text{m}$ 以下に形成し、前記メサストライプ上面に選択的に第1導電型半導体層を形成する工程と、そのメサストライプ上面の第1導電型半導体層上、および前記第2導電型半導体層上の少なくとも一部の領域に互いに独立した電極をそれぞれ形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項2】 第1導電型半導体層上に活性層、第2導電型半導体層およびチューニング層を含む半導体積層構造を形成する工程と、エッチングなどの手段により該半導体積層構造にメサストライプを形成する工程を含む半導体レーザの製造方法において、前記メサストライプにおける前記第2導電型半導体層での幅をその上部の層の幅よりも広くし、前記メサストライプにおける前記第2導電型半導体層の側面に第2導電型半導体埋め込み層を形成する工程と、この埋め込み層の上にそれと異なる半導体層を形成する工程と、前記メサストライプ上面に選択的に第1導電型半導体層を形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項3】 活性層、第2導電型半導体層およびチューニング層を含むメサストライプを第1導電型半導体層上に選択的に形成してなる半導体レーザの製造方法において、前記メサストライプ上面において最も膜厚が厚くなるように、全面に絶縁膜を形成する工程と、イオンミリング、エッチングなどの手段により、少なくとも前記メサストライプ上面の絶縁膜を除去し、かつ前記メサストライプ上面の絶縁膜を残す工程と、前記メサストライプ側面の領域に第2導電型半導体埋め込み層を形成する工程と、前記メサストライプ上に選択的に第1導電型半導体層を形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は光通信システムへの応用上重要な波長可変半導体レーザに関する。

【0002】

【従来の技術】 光ファイバ通信の技術は近年めざましい進展を遂げており、 $2-5\text{Gb/s}$ で 100km を越す長距離の伝送システムが、実用化に向けた開発段階に至りつつある。なかでもコヒーレント光伝送システムにおいては、高密度な周波数多重伝送が比較的容易であり、将来の長距離大容量光伝送方式として注目を集めている。そのようなシステムにおいては、送信側に発振周波

数の異なる複数の光源を準備し、受信側にそれらと同等の周波数の光源を準備する必要がある。

【0003】 波長可変半導体レーザはそのようなシステムにおいて、送信用光源としては、個々のレーザの周波数間隔を一定にする上で有効である。一方、局発用光源としては、送信側光源の周波数範囲をカバーするためにできる限り広い、波長可変範囲を有することが望ましい。外部反射鏡などを用いない、単体の波長可変半導体レーザとして素子内部に回折格子を作りつけた、分布帰還型(DFB)、分布ブラッグ反射型(DBR)をベースとした構造の素子が、近年多く検討されている。そのような波長可変レーザの一例として2重導波路構造の波長可変DFB-LD(以下TTG-LDと略す)の断面素子構造を図4に示す。このような素子は例えばC.

F. J. シャネン氏等により、1990年発行のIEEEプロシーディング誌、第137巻、J-1号、第69ページから第73ページに報告されている。素子作製方法としては、はじめにp-InP基板1表面に回折格子

(図と垂直な方向に繰り返すように形成される)を形成し、その上に $1.3\mu\text{m}$ の波長組成のInGaAsPガイド層2、 $1.55\mu\text{m}$ の波長組成のInGaAsP活性層3、n-InP層4、 $1.3\mu\text{m}$ 波長組成のInGaAsPチューニング層5、p-InPクラッド層6を順次成長した後、活性層部分の幅が $2\mu\text{m}$ 程度になるようにエッチングによってメサ構造を形成し、埋め込み成長を行ってn-InP埋め込み層7を形成する。成長したウェハ表面に絶縁膜8をパターニングし、成長表面に共通電極9、チューニング電極10、基板側にレーザ電極11を形成して所望の素子を得る。レーザ電極11にプラスの電圧を印可すると、図中実線で示した通路で電流が流れ、数十mAの電流注入時にレーザ発振に至る。数 10mW の光出力で動作させておき、チューニング電極10にプラスの電圧を印可すると、図中破線の通路で電流が流れ、チューニング層中にキャリアがたまり、プラズマ効果によって屈折率が低減して発振波長は短波長側にシフトする。実際数mWの光出力の動作条件のもとで 60\AA 前後の波長可変特性が報告されている。

【0004】

【発明が解決しようとする課題】 このような波長可変レーザを作製する場合、従来例の素子作製方法においては $2-3\mu\text{m}$ のたかさのメサストライプを形成し、それを埋め込み成長するという手法によっていた。活性層部分での幅は横モード制御の観点から $1.5\mu\text{m}$ 以下である必要がある。すなわちほぼ垂直な側面を有するメサストライプを形成してから、素子表面がほぼ平坦になるように埋め込みを成長する必要がある。しかしながらほぼ垂直な側面を有する細長いメサストライプを形成するには、通常のケミカルエッチングでは極めて困難であり、ドライエッチングの技術を用いざるを得ないが、活性層とクラッド層など、組成の異なる半導体層を同じエッチ

3

ング速度でエッチングを行い、同時に幅を $1.5\mu\text{m}$ 程度に制御するには、温度、ガス圧等、微妙なエッチング条件の調整が必要であり、制御性、再現性が十分ではなかった、さらにメサストライプが良好に形成できた後にあっても、埋め込み成長が容易ではなく、時としてメサの下部に空洞ができてしまったり、メサ上端付近で異常成長が生じたりすることがあった。すなわち素子製作の歩留まりが低く、特性の良い波長可変レーザを歩留まりよく作製することが極めて困難であった。

【0005】

【課題を解決するための手段】上記の課題を解決するための手段は以下のとおりである。

(1) 第1導電型半導体層上に発光再結合する活性層およびチューニング層を少なくとも含む半導体積層構造を形成する工程と、エッチングなどの手段により該半導体積層構造にメサストライプを形成する工程と、前記メサストライプ上面を除いて第2導電型半導体層を形成する工程とを含む半導体レーザの製造方法において、前記メサストライプ形成工程では前記メサストライプの高さを $1\mu\text{m}$ 以下に形成し、前記メサストライプ上面に選択的に第1導電型半導体層を形成する工程と、そのメサストライプ上面の第1導電型半導体層上、および前記第2導電型半導体層上の少なくとも一部の領域に互いに独立した電極をそれぞれ形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【0006】(2) 第1導電型半導体層上に活性層、第2導電型半導体層およびチューニング層を含む半導体積層構造を形成する工程と、エッチングなどの手段により該半導体積層構造にメサストライプを形成する工程を含む半導体レーザの製造方法において、前記メサストライプにおける前記第2導電型半導体層での幅をその上部の層の幅よりも広くし、前記メサストライプにおける前記第2導電型半導体層の側面に第2導電型半導体埋め込み層を形成する工程と、この埋め込み層の上にそれと異なる半導体層を形成する工程と、前記メサストライプ上面に選択的に第1導電型半導体層を形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【0007】(3) 活性層、第2導電型半導体層およびチューニング層を含むメサストライプを第1導電型半導体層上に選択的に形成してなる半導体レーザの製造方法において、前記メサストライプ上面において最も膜厚が厚くなるように、全面に絶縁膜を形成する工程と、イオンミリング、エッチングなどの手段により、少なくとも前記メサストライプ上面の絶縁膜を除去し、かつ前記メサストライプ上面の絶縁膜を残す工程と、前記メサストライプ側面の領域に第2導電型半導体埋め込み層を形成する工程と、前記メサストライプ上に選択的に第1導電型半導体層を形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【0008】

4

【作用】従来例の作製方法においては、細長く高いメサストライプを形成する工程と、それを埋め込んで、ほぼ平坦な結晶表面を得るという2つの工程に難しさがあった。

【0009】そこで第1の工程に関しては、エッチングなどによって形成する場合のメサ高さを低くする、あるいは選択成長によって自動的にメサストライプが形成できるようにすれば歩留まりの改善が期待できる。

【0010】また第2の工程に関してはメサ高さを低くすればそれだけ良好に埋め込まれ易くなる。さらにメサストライプを2段の台形状にしてやれば、埋め込み成長する際に1段目のメサ端部で成長が止まり易く、マスク端部での異常成長がかなり低減される。ただしメサを低くすると、活性層ないし、チューニング層上のクラッド層が薄くなり、その上にそのまま電極を形成すると、電極金属が半導体中にしみこんで、活性層ないしチューニング層を破壊してしまう可能性がある。そこで埋め込み層を成長したあとでメサ上面をおおうようにクラッド層とコンタクト層を形成してやればそのような問題を回避できる。その際に選択的にクラッド層を形成してやればチューニング電極と共通電極の形成が容易である。

【0011】

【実施例】以下実施例を示す図面を用いて、本発明をより詳細に説明する。図1は請求項1に記載した発明の一実施例であるTTG-LDの素子断面図を示す。このような素子を作製するには以下のようにすればよい。p-InP基板1上に回折格子を形成し(図において紙面と垂直な方向に繰り返している。)、その上に発光波長 $1.3\mu\text{m}$ 組成のp-InGaAsPチューニング層5(厚さ $0.25\mu\text{m}$ 、ノンドープ)、n-InP層4(厚さ $0.1\mu\text{m}$ 、キャリア濃度 $7\times 10^{17}\text{cm}^{-3}$)、MQW活性層3(InGaAsウェル層70Å、 $1.3\mu\text{m}$ 組成InGaAsPバリア層100Åを5層成長、いずれもノンドープ)、p-InPクラッド層6(厚さ $0.2\mu\text{m}$ 、キャリア濃度 $7\times 10^{17}\text{cm}^{-3}$)を順次積層する。成長層表面にマスクをパターニングし、エッチングによって活性層幅 $1.5\mu\text{m}$ 、高さ $0.6\mu\text{m}$ のメサストライプを形成する。エッチングに使用したマスクを用いてメサ以外の領域にn-InP埋め込み層7(厚さ $0.6\mu\text{m}$ 、キャリア濃度 $7\times 10^{17}\text{cm}^{-3}$)を成長する。このような埋め込み成長を行う場合、メサ高さが $1\mu\text{m}$ を越えるとマスク端部での異常成長が発生し易くなる。この実施例のように $0.6\mu\text{m}$ 程度のメサ高さでは、異常成長はほとんど認められなかった。続いてマスクを除去した後、メサ上部の幅 $10\mu\text{m}$ の領域のみに選択的にp-InPクラッド層15(厚さ $1.5\mu\text{m}$ 、キャリア濃度 $7\times 10^{17}\text{cm}^{-3}$)、発光波長 $1.3\mu\text{m}$ 組成のp-InGaAsPコンタクト層16(厚さ $0.5\mu\text{m}$ 、キャリア濃度 $5\times 10^{18}\text{cm}^{-3}$)を成長した。その後絶縁膜8をパターニングし、基板側にチューニング

電極10、埋め込み層上に共通電極9、コンタクト層上にレーザ電極11を形成して所望の半導体レーザを得た。

【0012】以上のようにして作製したTTG-LDにおいて特性を測定したところ、発振しきい値電流25mA、光出力30mW以上が得られ、チューニング電流を0から25mAまで流すことにより、最大120Aの波長変化が実現できた。120Aの可変波長範囲内で13MHz以下のスペクトル線幅で動作した。作製条件の改良により、素子作製の再現性、さらに特性歩留まりは大幅に改善された。

【0013】図2は請求項2に記載した発明の一実施例によるTTG-LDの素子断面図を示す。ここではメサストライプを形成する際にInPとInGaAsPとのエッチング速度の異なるエッチング液を用いて、選択エッチングにより図のような2段の台形形状のメサストライプを形成した。活性層3は幅1.2μm、チューニング層は幅1.7μmとした。メサストライプの高さは0.7μmとした。クラッド層6上のマスクをそのまま残してn-InP埋め込み層7(厚さ0.4μm)およびFeドープInPの高抵抗層21(厚さ0.3μm)を積層した。この際メサが2段になっているため、埋め込み層7は1段目のメサ側面に優先的に成長した。続く高抵抗層21はほぼ平坦になった埋め込み層7の上に積層する事になり、異常成長の少ない、極めてスムーズな成長ができた。続いて、図1の実施例と同様にクラッド層15、コンタクト層16を選択的に成長し、部分的に高抵抗層21を除去して、埋め込み層表面に共通電極9を形成した所望の素子を得た。レーザ特性、作製歩留まりとも第1の実施例とほぼ同等の結果を得た。

【0014】第3の実施例について図3を用いて説明する。回折格子を形成した基板1上に幅10μmの2本の平行な絶縁膜のマスクをパターンニングし、上記と同様な膜厚でチューニング層5、n-InP層4、活性層3、クラッド層6を選択的に成長する。活性層の幅は1.5μmになるようにはじめてのマスクの間隔を設定している。マスクを除去した後、全面に絶縁膜31を形成する図3(a)。この際、例えばCVD法を用いればメサの上面部での厚さが最も厚くなり、原料の届きにくいメサ側面や底面部では薄くなる。実際に厚さを測定したところメサ上面で6000Å、メサ側面および底面部で4000Åであった。そのまま全面に対してイオンミリングを行うと、膜厚の差に加えて、ミリング速度の角度依存性により、斜めにミリングすることになる側面部でミリング速度が大きく、選択成長した部分の上面のみに絶縁膜を残すことができる。実際には1500Å程度の厚さの絶縁膜をメサ上面に残し、同時にメサ側面、および底面部の絶縁膜を除去することができた。その後絶縁膜31をマスクとして埋め込み層7を成長し、さらにクラッド層15、コンタクト層16を選択成長し、電極を形成

して所望のTTG-LDを得た。この実施例においても図1の実施例と同等の結果を得た図3(b)。なおこの場合には埋め込み層7の両わきに残されているチューニング層を通して電流が流れる可能性もある。それを防ぐためにメサストライプの下部に電流ブロック構造を形成し、メサ部分のみにチューニング電流が流れるようにすることも有効である。そのような電流ブロック構造は図1、図2の実施例についても有効である。

【0015】なお本発明の実施例においては波長1μm帯の素子について示したが、用いる半導体材料はもちろんこれに限るものではなく、GaAlAs系など、他の材料系を用いて、何等差し支えない。また回折格子上に直接チューニング層を成長する手法を採用したが、回折格子上にガイド層、活性層を積層し、それからチューニング層を成長するという方法でも何等差し支えない。

【0016】

【発明の効果】以上に述べたように、本発明においてはメサ高さを低くして埋め込み層成長後にクラッド層などを選択的に成長すること、あるいは選択成長によってメサストライプを形成し、全面に絶縁膜を形成した後全面にミリングする際、絶縁膜の形成される特性、ミリング時の特徴により、自動的に埋め込み成長時のマスクが形成できること、などから素子作製の再現性、特性歩留まりが大幅に向上した半導体レーザを実現できる。

【図面の簡単な説明】

【図1】請求項1に記載した発明になるTTG半導体レーザの素子断面図である。

【図2】請求項2に記載した発明になるTTG半導体レーザの素子断面図である。

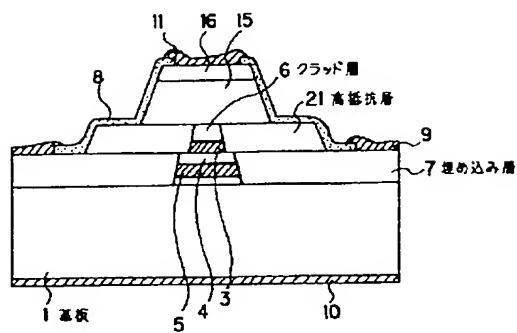
【図3】請求項3に記載した発明になるTTG半導体レーザの素子作製工程を示す図である。

【図4】従来から知られている波長可変DFB-LDの断面図である。

【符号の説明】

- | | |
|----|----------|
| 1 | 基板 |
| 2 | ガイド層 |
| 3 | 活性層 |
| 4 | n-InP層 |
| 5 | チューニング層 |
| 6 | クラッド層 |
| 7 | 埋め込み層 |
| 8 | 絶縁膜 |
| 9 | 共通電極 |
| 10 | チューニング電極 |
| 11 | レーザ電極 |
| 15 | p-InP層 |
| 16 | コンタクト層 |
| 21 | 高抵抗層 |
| 31 | 絶縁膜 |

【図2】



【図4】

